

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-047738
(43)Date of publication of application : 18.02.2000

(51)Int.Cl. G05F 1/56

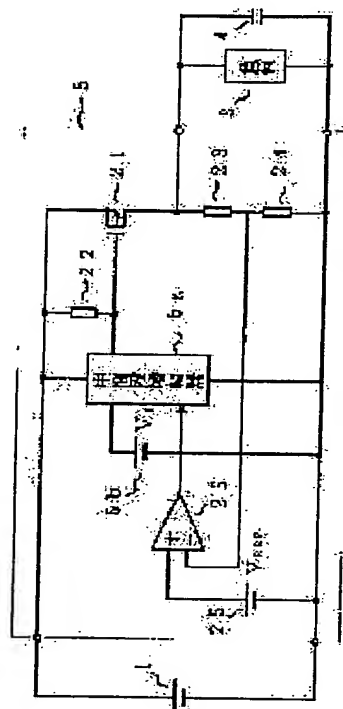
(21)Application number : 10-218811 (71)Applicant : FUJI ELECTRIC CO LTD
(22)Date of filing : 03.08.1998 (72)Inventor : SANO ISAO

(54) SERIES REGULATOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the frequency characteristics of the series regulator circuit.

SOLUTION: The characteristics of an intermediate-stage amplifier 5a, with which the series regulator circuit 5 is equipped, are so made that the gain is made large when the current flowing to a load 3 is large and made small when it is small and then the adjusted gain of the whole series regulator circuit 5 is made nearly constant irrelevantly to the current of the load 3 to improve the frequency characteristics, thereby suppressing a decrease in the ripple removal rate of a high-frequency component.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-47738

(P2000-47738A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.⁷

G 0 5 F 1/56

識別記号

3 1 0

F I

G 0 5 F 1/56

テーム(参考)

3 1 0 H 5 H 4 3 0

3 1 0 C

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平10-218811

(22) 出願日 平成10年8月3日 (1998.8.3)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 佐野 功

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

Fターム(参考) 5H430 BB01 BB09 BB11 EE06 EE17

FF04 FF13 GGD1 HH03 JJ03

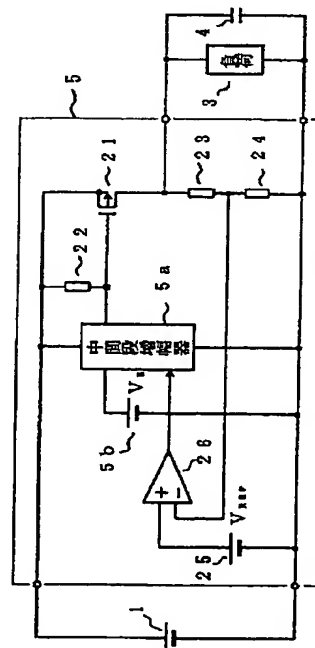
JJ04 JJ07

(54) 【発明の名称】 シリーズレギュレータ回路

(57) 【要約】

【課題】 シリーズレギュレータ回路の周波数特性を改善する。

【解決手段】 シリーズレギュレータ回路5に備える中間段増幅器5aの特性を、負荷3に流れる電流が大きいときにはゲインを大きくし、負荷3に流れる電流が小さいときにはゲインを小さくするようにして、このシリーズレギュレータ回路5全体の調整ゲインを、負荷3の電流に無関係にほぼ一定値にすることにより周波数特性を改善し、高周波成分のリプル除去率を低下を抑制する。



【特許請求の範囲】

【請求項 1】スイッチング素子と出力電圧検出手段とからなる出力回路と、
前記出力電圧検出手段の検出値をフィードバック入力する差動増幅器と、

前記差動増幅器の出力を受け前記スイッチング素子へのスイッチング信号を出力する中間段増幅器とを少なくとも備えたシリーズレギュレータ回路において、

前記中間段増幅器は、このシリーズレギュレータ回路の調整ゲインを一定に保つべく、前記出力回路の DC ゲインの変化に応じて該中間段増幅器のゲインを連続的に変化させることを特徴とするシリーズレギュレータ回路。

【請求項 2】請求項 1 に記載のシリーズレギュレータ回路において、

前記中間段増幅器には出力電流検出手段を備え、該電流検出手段の検出値に応じて該中間段増幅器のゲインを連続的に変化させることを特徴とするシリーズレギュレータ回路。

【請求項 3】請求項 1 又は請求項 2 に記載のシリーズレギュレータ回路において、

前記中間段増幅器のゲインは、前記出力回路の DC ゲインが小さいときには大きく、該出力回路の DC ゲインが大きいときには小さくするべく、それぞれ前記出力電流検出手段の検出値に応じて変化させることを特徴とするシリーズレギュレータ回路。

【請求項 4】請求項 3 に記載のシリーズレギュレータ回路において、

前記中間段増幅器には、前記出力電流検出手段としての出力電流検出部と、定電流源部と、該定電流源部を回路電源として前記差動増幅器の出力と出力電流検出部の検出値とにより前記ゲインを変化させる可変電流源部とを少なくとも備えたことを特徴とするシリーズレギュレータ回路。

【請求項 5】入力直流電源の正側端子に第 1 P チャンネル MOSFET のソース端子を接続し、第 1 P チャンネル MOSFET のソース端子とゲート端子との間に第 1 抵抗を接続し、第 1 P チャンネル MOSFET のドレイン端子と入力直流電源の負側端子との間に、第 2 抵抗と第 3 抵抗との直列接続回路を接続し、第 2 抵抗と第 3 抵抗との接続点の電圧と基準電圧 (V_{REF}) との偏差を増幅する差動増幅器の出力を中間段増幅器に入力し、中間段増幅器の出力を第 1 P チャンネル MOSFET のゲート端子に接続し、

第 1 P チャンネル MOSFET のドレイン端子と入力直流電源の負側端子との間に接続される負荷と安定化コンデンサとの並列接続回路に所望の安定化した直流電圧を供給するシリーズレギュレータ回路において、

前記中間段増幅器には、

前記入力直流電源の正側端子にソース端子が接続され、ゲート端子が第 1 P チャンネル MOSFET のゲート端子

に接続される第 2 P チャンネル MOSFET と、

第 2 P チャンネル MOSFET のドレイン端子と前記入力直流電源の負側端子との間に接続される複数 (k) 個の抵抗を直列接続してなる電流検出抵抗と、

前記入力直流電源の正側端子にソース端子が接続され、ゲート端子にはバイアス電圧 (V_B) が供給される第 3 P チャンネル MOSFET と、

第 3 P チャンネル MOSFET のドレイン端子にドレイン端子が接続され、ゲート端子が前記差動増幅器の出力に接続され、ソース端子が前記入力直流電源の負側端子に接続される第 1 N チャンネル MOSFET と、

第 3 P チャンネル MOSFET のドレイン端子にドレイン端子が接続され、このドレイン端子側の第 1 ゲート端子が前記差動増幅器の出力に接続され、ソース端子が前記入力直流電源の負側端子に接続され、このソース端子側の第 2 ゲート端子が前記電流検出抵抗を形成する前記 k 個の抵抗のそれぞれの接続点に接続され、基板を共通にして生成される第 1 N チャンネル MOSFET 2 直列形回路を ($k-1$) 組と、

前記入力直流電源の正側端子にソース端子が接続され、ゲート端子が第 1 P チャンネル MOSFET のゲート端子に接続され、ドレイン端子が第 3 P チャンネル MOSFET のドレイン端子に接続される第 4 P チャンネル MOSFET と、

前記入力直流電源の正側端子にコレクタ又はソース端子が接続され、ベース端子又はゲート端子が第 3 P チャンネル MOSFET のドレイン端子に接続されるトランジスタと、

前記トランジスタのエミッタ又はドレイン端子にドレイン端子が接続され、ゲート端子が前記差動増幅器の出力に接続され、ソース端子が前記入力直流電源の負側端子に接続される第 2 N チャンネル MOSFET と、

前記トランジスタのエミッタ又はドレイン端子にドレイン端子が接続され、このドレイン端子側の第 1 ゲート端子が前記差動増幅器の出力に接続され、ソース端子が前記入力直流電源の負側端子に接続され、このソース端子側の第 2 ゲート端子が前記電流検出抵抗を形成する前記 k 個の抵抗のそれぞれの接続点に接続され、基板を共通にして生成される第 2 N チャンネル MOSFET 2 直列形回路を ($k-1$) 組とを備えたことを特徴とするシリーズレギュレータ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば携帯用機器などに用いられ、バッテリーなどを入力直流電源として所望の安定化した直流電圧を負荷に供給するシリーズレギュレータ回路に関する。

【0002】

【従来の技術】図 5 は、この種のシリーズレギュレータ回路の従来例を示す回路構成図であり、1 は入力直流電

源、2はシリースレギュレータ回路、3は負荷、4は負荷3に並列接続された安定化コンデンサである。このシリースレギュレータ回路2は、入力直流電源1の正側端子にPチャネルのMOSFET21のソース端子を接続し、MOSFET21のソース端子とゲート端子との間に抵抗22を接続し、MOSFET21のドレイン端子と入力直流電源1の負側端子との間に、抵抗23と抵抗24との直列接続回路を接続し、抵抗23と抵抗24との接続点の電圧と、定電圧電源25の基準電圧

(V_{REF})との偏差を増幅する差動増幅器26の出力を、図示の如くNチャネルのMOSFET27aとコンデンサ27bとからなる中間段増幅器27に入力し、中間段増幅器27の出力をMOSFET21のゲート端子に接続した構成になっている。

【0003】図5に示したシリースレギュレータ回路2における定常状態では、MOSFET21は負荷3と抵抗23、24に流れる電流を供給し、抵抗23と抵抗24の接続点の電圧が基準電圧(V_{REF})にほぼ等しくなっている。すなわち、シリースレギュレータ回路2の出力電圧(V_0)は、下記式(1)で表される。

【0004】

【数1】

$$V_0 = V_{REF} \cdot (R_{23} + R_{24}) / R_{24} \quad \dots (1)$$

ここで、 R_{23} :抵抗23の抵抗値、 R_{24} :抵抗24の抵抗値である。例えば、負荷3の電流、直流入力電源1の電圧が変動したりするときには、差動増幅器26と中間段増幅器27と抵抗22とによりMOSFET21のゲート電圧を調整して、このときにも前記出力電圧(V_0)がほぼ一定値になるように制御している。

【0005】

【発明が解決しようとする課題】しかしながら従来のシリースレギュレータ回路2においては、上述のMOSFET21のゲート電圧を調整する際の各要素の制御遅れに起因する共振現象を抑制するために、MOSFET27aのゲート端子とドレイン端子との間に位相補償用のコンデンサ27bが接続され、その結果、図6(イ)、(ロ)に示すボード線図の如くこのシリースレギュレータ回路2のオープンループのゲイン、位相の高周波領域での特性が悪くなり、前記出力電圧(V_0)の高周波成分のリプル除去率が低下するという難点があった(図4(イ)参照)。

【0006】また、負荷3に流れる電流の大小により、負荷3に並列接続された安定化コンデンサ4の図7に示す如き周波数特性、特に周波数に対する等価直列抵抗に起因して、上述のMOSFET21のゲート電圧を調整する際のゲインの変動を招き、その結果、シリースレギュレータ回路2の調整動作が不安定になる恐れがあり、安定化コンデンサ4の前記等価直列抵抗に下限値を設ける必要があった。

【0007】この発明は、上記問題点を解決するシリー

ズレギュレータ回路を提供することにある。

【0008】

【課題を解決するための手段】この第1の発明は、スイッチング素子と出力電圧検出手段とからなる出力回路と、前記出力電圧検出手段の検出値をフィードバック入力する差動増幅器と、前記差動増幅器の出力を受け前記スイッチング素子へのスイッチング信号を出力する中間段増幅器とを少なくとも備えたシリースレギュレータ回路において、前記中間段増幅器は、このシリースレギュレータ回路の調整ゲインを一定に保つべく、前記出力回路のDCゲインの変化に応じて該中間段増幅器のゲインを連続的に変化させることを特徴とする。

【0009】第2の発明は前記第1の発明において、前記中間段増幅器には出力電流検出手段を備え、該電流検出手段の検出値に応じて該中間段増幅器のゲインを連続的に変化させることを特徴とする。第3の発明は前記第1又は第2の発明において、前記中間段増幅器のゲインは、前記出力回路のDCゲインが小さいときには大きく、該出力回路のDCゲインが大きいときには小さくするべく、それぞれ前記出力電流検出手段の検出値に応じて変化させることを特徴とする。

【0010】第4の発明は前記第3の発明において、前記中間段増幅器には、前記出力電流検出手段としての出力電流検出部と、定電流源部と、該定電流源部を回路電源として前記差動増幅器の出力と出力電流検出部の検出値とにより前記ゲインを変化させる可変電流源部とを少なくとも備えたことを特徴とする。

【0011】さらに第5の発明は入力直流電源の正側端子に第1PチャネルMOSFETのソース端子を接続し、第1PチャネルMOSFETのソース端子とゲート端子との間に第1抵抗を接続し、第1PチャネルMOSFETのドレイン端子と入力直流電源の負側端子との間に、第2抵抗と第3抵抗との直列接続回路を接続し、第2抵抗と第3抵抗との接続点の電圧と基準電圧

(V_{REF})との偏差を増幅する差動増幅器の出力を中間段増幅器に入力し、中間段増幅器の出力を第1PチャネルMOSFETのゲート端子に接続し、第1PチャネルMOSFETのドレイン端子と入力直流電源の負側端子との間に接続される負荷と安定化コンデンサとの並列接続回路に所望の安定化した直流電圧を供給するシリースレギュレータ回路において、前記中間段増幅器には、前記入力直流電源の正側端子にソース端子が接続され、ゲート端子が第1PチャネルMOSFETのゲート端子に接続される第2PチャネルMOSFETと、第2PチャネルMOSFETのドレイン端子と前記入力直流電源の負側端子との間に接続される複数(k)個の抵抗を直列接続してなる電流検出抵抗と、前記入力直流電源の正側端子にソース端子が接続され、ゲート端子にはバイアス電圧(V_B)が供給される第3PチャネルMOSFETと、第3PチャネルMOSFETのドレイン端子にドレ

イン端子が接続され、ゲート端子が前記差動増幅器の出力に接続され、ソース端子が前記入力直流電源の負側端子に接続される第1 NチャネルMOSFETと、第3 PチャネルMOSFETのドレイン端子にドレイン端子が接続され、このドレイン端子側の第1ゲート端子が前記差動増幅器の出力に接続され、ソース端子が前記入力直流電源の負側端子に接続され、このソース端子側の第2ゲート端子が前記電流検出抵抗を形成する前記k個の抵抗のそれぞれの接続点に接続され、基板を共通にして生成される第1 NチャネルMOSFET 2直列形回路を

(k-1)組と、前記入力直流電源の正側端子にソース端子が接続され、ゲート端子が第1 PチャネルMOSFETのゲート端子に接続され、ドレイン端子が第3 PチャネルMOSFETのドレイン端子に接続される第4 PチャネルMOSFETと、前記入力直流電源の正側端子にコレクタ又はソース端子が接続され、ベース端子又はゲート端子が第3 PチャネルMOSFETのドレイン端子に接続されるトランジスタと、前記トランジスタのエミッタ又はドレイン端子にドレイン端子が接続され、ゲート端子が前記差動増幅器の出力に接続され、ソース端子が前記入力直流電源の負側端子に接続される第2 NチャネルMOSFETと、前記トランジスタのエミッタ又はドレイン端子にドレイン端子が接続され、このドレイン端子側の第1ゲート端子が前記差動増幅器の出力に接続され、ソース端子が前記入力直流電源の負側端子に接続され、このソース端子側の第2ゲート端子が前記電流検出抵抗を形成する前記k個の抵抗のそれぞれの接続点に接続され、基板を共通にして生成される第2 NチャネルMOSFET 2直列形回路を(k-1)組とを備えたことを特徴とする。

【0012】この発明によれば、前記負荷に流れる電流が大きいときには、周知の如く、前記スイッチング素子としての第1 PチャネルMOSFETの直流ゲインが小さくなるが、このときには後述の如く、前記中間段増幅器のゲインを大きくし、このシリーズレギュレータ回路全体の調整ゲインをほぼ一定にして、前記出力電圧(V_0)の高周波成分のリプル除去率の低下を抑制しつつ、安定な調整動作を行わせる。

【0013】また、前記負荷に流れる電流が小さいときには、周知の如く、前記スイッチング素子としての第1 PチャネルMOSFETの直流ゲインが大きくなるが、このときには後述の如く、前記中間段増幅器のゲインを小さくし、このシリーズレギュレータ回路全体の調整ゲインをほぼ一定にして、前記出力電圧(V_0)の高周波成分のリプル除去率の低下を抑制しつつ、安定な調整動作を行わせる。

【0014】

【発明の実施の形態】図1は、この発明のシリーズレギュレータ回路の実施の形態例を示す回路構成図であり、図5に示した従来例回路と同一機能を有するものには同

一符号を付している。すなわち図1において、このシリーズレギュレータ回路5は入力直流電源1の正側端子に第1 PチャネルMOSFETとしてのMOSFET 21のソース端子を接続し、MOSFET 21のソース端子とゲート端子との間に第1抵抗としての抵抗22を接続し、MOSFET 21のドレイン端子と入力直流電源1の負側端子との間に、第2抵抗としての抵抗23と第3抵抗としての抵抗24との直列接続回路を接続し、抵抗23と抵抗24との接続点の電圧と定電圧電源25の基準電圧(V_{REF})との偏差を増幅する差動増幅器26の出力を中間段増幅器5aに入力し、中間段増幅器5aの出力をMOSFET 21のゲート端子に接続し、定電圧電源5bのバイアス電圧(V_B)を中間段増幅器5aに入力する構成になっている。

【0015】図2は図1に示した中間段増幅器5aの詳細回路構成図であり、この中間段増幅器5aには入力直流電源1の正側端子にソース端子が接続され、ゲート端子がMOSFET 21のゲート端子に接続される第2 PチャネルMOSFETとしてのMOSFET 51と、MOSFET 51のドレイン端子と入力直流電源1の負側端子との間に接続される複数($k=4$)個の抵抗52, 53, 54, 55を直列接続してなる電流検出抵抗と、入力直流電源1の正側端子にソース端子が接続され、ゲート端子には定電圧電源5bのバイアス電圧(V_B)が供給される第3 PチャネルMOSFETとしてのMOSFET 56と、MOSFET 56のドレイン端子にドレイン端子が接続され、ゲート端子が差動増幅器26の出力に接続され、ソース端子が入力直流電源1の負側端子に接続される第1 NチャネルMOSFETとしてのMOSFET 57と、MOSFET 56のドレイン端子にドレイン端子が接続され、このドレイン端子側の第1ゲート端子が差動増幅器26の出力に接続され、ソース端子が入力直流電源1の負側端子に接続され、このソース端子側の第2ゲート端子が前記電流検出抵抗を形成する4個の抵抗52, 53, 54, 55のそれぞれの接続点に接続され、基板を共通にして生成される前記k-1組すなわち3組のNチャネルMOSFET 2直列形回路58, 59, 60と、入力直流電源1の正側端子にソース端子が接続され、ゲート端子がMOSFET 21のゲート端子に接続され、ドレイン端子がMOSFET 56のドレイン端子に接続される第4 PチャネルMOSFETとしてのMOSFET 61と、入力直流電源1の正側端子にコレクタ端子が接続され、ベース端子がMOSFET 56のドレイン端子に接続されるNPNトランジスタ62と、NPNトランジスタ62のエミッタ端子にドレイン端子が接続され、ゲート端子が差動増幅器26の出力に接続され、ソース端子が入力直流電源1の負側端子に接続される第2 NチャネルMOSFETとしてのMOSFET 63と、NPNトランジスタ62のエミッタ端子にドレイン端子が接続され、このドレイン端子

側の第1ゲート端子が差動増幅器26の出力に接続され、ソース端子が入力直流電源1の負側端子に接続され、このソース端子側の第2ゲート端子が前記電流検出抵抗を形成する4個の抵抗52, 53, 54, 55のそれぞれの接続点に接続され、基板を共通にして生成される前記 $k-1$ 組すなわち3組のNチャネルMOSFET 2直列形回路64, 65, 66とを備えている。

【0016】図2に示した中間増幅器5aの動作を中心に、シリアルレギュレータ回路5の動作を以下に説明する。MOSFET 56のゲート端子には定電圧電源5bのバイアス電圧(V_B)が入力され、MOSFET 56は定電流源として動作している。MOSFET 61とNPNトランジスタ62とからなる電流源におけるMOSFET 61のゲート端子はMOSFET 21のゲート端子に接続され、MOSFET 21に流れる電流、すなわち負荷3の電流が大きいときにはMOSFET 61のゲート端子も深くバイアスされるために、この電流源の電流も多くなり、また、MOSFET 21に流れる電流、すなわち負荷3の電流が小さいときにはMOSFET 61のゲート端子も浅くバイアスされるために、この電流源の電流も少なくなる。すなわち、この電流源は負荷3の電流に対応した可変電流源として動作している。

【0017】なお、前記可変電流源を構成するNPNトランジスタ62はP基板上で形成される例であり、例えば基板から分離されたPウェル内に形成されるNチャネルMOSFETに置き換えてもよい。MOSFET 51と抵抗52, 53, 54, 55とからなる回路は、MOSFET 21に流れる電流、すなわち負荷3に流れる電流を検出する電流検出回路の動作をしている。

【0018】MOSFET 57, NチャネルMOSFET 2直列形回路58, 59, 60およびMOSFET 63, NチャネルMOSFET 2直列形回路64, 65, 66からなる回路においては、MOSFET 57, 63のゲート端子および前記NチャネルMOSFET 2直列形回路の一方のゲート端子が差動増幅器26の出力に接続され、該NチャネルMOSFET 2直列形回路の他方のゲート端子それぞれは、図2に示す如く抵抗52, 53, 54, 55それぞれの接続点に接続されており、前記電流検出回路で検出される負荷3に流れる電流がほぼ零のときにはMOSFET 57, 63のみが導通状態になるように設定され、該電流検出回路の検出値に応じて、参照符号が小さい方から順に前記NチャネルMOSFET 2直列形回路が導通状態になるように設定されている。

【0019】なお、図2に示した回路例においては前記 k を4としているが、このシリアルレギュレータ回路5に対する要求仕様としての負荷3の電流の変化範囲などにより前記 k ($k \geq 2$)を設定する。すなわち、この中

間増幅器5aでは、負荷3に流れる電流の減少に応じて、消費電流も減少し、さらに、負荷3に流れる電流に応じてMOSFET 57, 63および前記NチャネルMOSFET 2直列形回路それぞれの導通状態を段階的に変えることにより、中間増幅器5aのゲインを変えることができ、その結果、図3(イ), (ロ)に示すボード線図に示す如くシリアルレギュレータ回路5全体の調整ゲインをほぼ一定にして、前記出力電圧(V_0)の高周波成分のリプル除去率の低下を抑制しつつ、安定な調整動作を行うことができる。

【0020】

【発明の効果】この発明によれば、負荷に流れる電流の変動に無関係にこのシリアルレギュレータ回路全体の調整ゲインをほぼ一定にして、前記出力電圧(V_0)の高周波成分のリプル除去率の低下を抑制しつつ、安定な調整動作を行うことができ、例えばリプル除去率が、従来の回路では図4(イ)に示す如く周波数が1kHzまでは40dBであり、1kHz以上から20dB/décの勾配で減少していたのが、この発明の回路では図4

(ロ)に示す如く周波数が10kHzまでは50dBであり、10kHz以上から20dB/décの勾配で減少する特性を備えることができた。

【0021】またこの発明のシリアルレギュレータ回路は集積回路化するのに好適である。

【図面の簡単な説明】

【図1】この発明の実施の形態例を示すシリアルレギュレータ回路の回路構成図

【図2】図1の部分詳細回路構成図

【図3】この発明のシリアルレギュレータ回路のボード線図

【図4】この発明のシリアルレギュレータ回路及び従来回路のリプル除去率の特性図

【図5】従来例を示すシリアルレギュレータ回路の回路構成図

【図6】従来のシリアルレギュレータ回路のボード線図

【図7】安定化コンデンサの周波数特性図

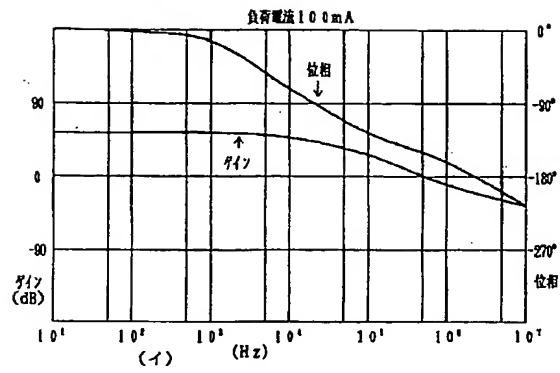
【符号の説明】

1…入力直流電源、2…シリアルレギュレータ回路、3…負荷、4…安定化コンデンサ、5…シリアルレギュレータ回路、5a…中間増幅器、5b…定電圧電源、21…MOSFET、22~24…抵抗、25…定電圧電源、26…差動増幅器、27…中間増幅器、27a…MOSFET、27b…コンデンサ、51…MOSFET、52~55…抵抗、56, 57…MOSFET、58~60…NチャネルMOSFET 2直列形回路、61…MOSFET、62…NPNトランジスタ、63…MOSFET、64~66…NチャネルMOSFET 2直列形回路。

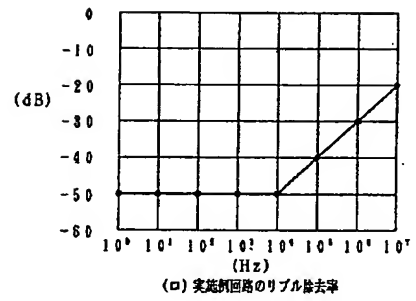
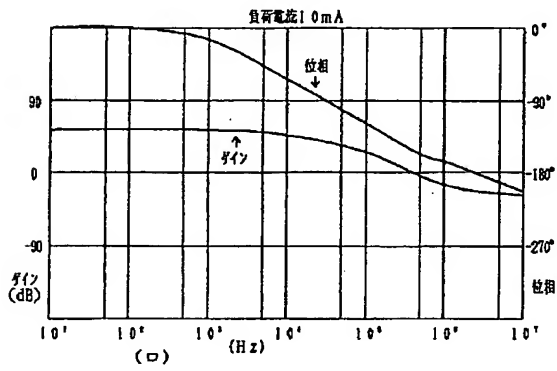
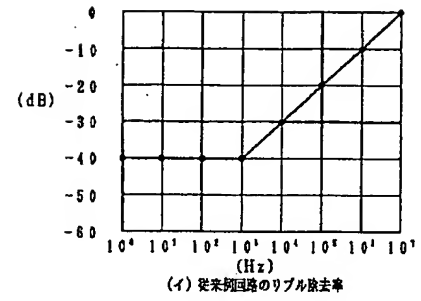
The schematic diagram shows a control system. A power source 1 is connected to a network of resistors 2.1, 2.2, 2.3, and 2.4. A summing junction 2.5 is connected to the output of the power semiconductor device 3 and the reference voltage source V_{ref} . The output of the summing junction is connected to the non-inverting input of an operational amplifier 2.6. The output of the operational amplifier is connected to the central control block 5. The central control block 5 is also connected to the power semiconductor device 3. The power semiconductor device 3 is connected to a load 4.

The diagram shows a control circuit. A power source 1 is connected to a common ground. A voltage source V_{237} is connected to the non-inverting input (+) of an operational amplifier 26. The inverting input (-) of the op-amp is connected to a feedback network consisting of a resistor 22 in series with a parallel combination of a transistor 21 and a relay 27. The relay 27 is shown with contacts 27a and 27b. The output of the op-amp is connected to a resistor 23, which is in series with a resistor 24 connected to ground. The output of the op-amp also branches off to the base of the transistor 21. The transistor 21's emitter is grounded, and its collector is connected to a load 3. A switch 4 is connected in parallel with the load 3.

【図 3】



【図 4】



【図6】

